

1 500 V 超结功率 MOS 器件优化与电容特性研究

种一宁¹, 李 珏¹, 乔 明^{1,2,3*}

(1. 电子科技大学电子薄膜与集成器件全国重点实验室, 四川成都 611731;
2. 电子科技大学广东电子信息工程研究院, 广东东莞 523950; 3. 电子科技大学(深圳)高等研究院, 广东深圳 518110)

摘要: 本文利用半超结结构进行高压超结功率金属氧化物半导体(Metal Oxide Semiconductor, MOS)器件的设计, 基于Sentaurus TCAD(Technology Computer Aided Design)仿真平台设计超结元胞结构并优化高压超结功率MOS器件的击穿电压与导通电阻, 随后探究了寄生电容的特性. 最后, 基于多次外延工艺自主设计出一款器件结构仿真击穿电压1 658 V、工艺仿真击穿电压1 598 V、比导通电阻值 $303 \text{ m}\Omega \cdot \text{cm}^2$ 的高压超结功率MOS器件, 与相同耐压值器件相比, 比导通电阻值下降约50%. 同时探究了超结掺杂浓度与厚度以及电压支持层掺杂浓度与厚度4个主要结构参数对器件寄生电容特性的影响.

关键词: 超结VDMOS; 元胞; 击穿电压; 比导通电阻; 寄生电容

基金项目: 广东省基础与应用基础研究基金(No.2021B1515020031); 国家自然科学基金(No.62174024); 航空科学基金(No.201943080002)

中图分类号: TN323.4

文献标识码: A

文章编号: 0372-2112(2024)07-2271-08

电子学报URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20230845

Optimization and Capacitance Characteristics of 1 500 V Super Junction Power MOS Devices

CHONG Yi-ning¹, LI Jue¹, QIAO Ming^{1,2,3*}

(1. National Key Laboratory of Electronic Thin Film and Integrated Devices, University of Electronic Science and Technology of China, Chengdu, Sichuan 611731, China;

2. Guangdong Institute of Electronic Information Engineering, University of Electronic Science and Technology of China, Dongguan, Guangdong 523950, China;

3. Shenzhen Institute for Advanced Study, University of Electronic Science and Technology of China, Shenzhen, Guangdong 518110, China)

Abstract: In this paper, the design of high-voltage super junction power MOS (Metal Oxide Semiconductor) device is carried out by using the semi-super junction structure, the super junction cell structure is designed based on the Sentaurus TCAD (Technology Computer Aided Design) simulation platform, and the breakdown voltage and on-resistance of the high-voltage super junction power MOS devices are optimized, and then the characteristics of parasitic capacitance are explored. Finally, based on multiple epitaxial processes, a high-voltage super junction power MOS device with a simulated breakdown voltage of 1 658 V, a process simulation breakdown voltage of 1 598 V and a specific on-resistance value of $303 \text{ m}\Omega \cdot \text{cm}^2$ has been independently designed, which reduced the specific on-resistance value by about 50% compared with the same withstand voltage device. At the same time, the influence of four main structural parameters, namely super junction doping concentration and thickness and voltage support layer doping concentration and thickness, on the parasitic capacitance characteristics of the device has been explored.

Key words: super junction VDMOS; cell; breakdown voltage; specific on-resistance; parasitic capacitance

Foundation Item(s): Guangdong Provincial Foundation for Basic and Applied Basic Research (No.2021B1515020031); National Natural Science Foundation of China (No.62174024); Aeronautical Science Foundation of China (No.201943080002)

1 引言

功率金属氧化物半导体场效应管(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)无少子效应,开关速度快,且功率MOSFET具有很高的抗干扰能力和良好热稳定性,被广泛应用于电能变换、电机驱动、汽车电子等众多领域.但传统MOS器件存在着“硅极限”的问题^[1],即增大击穿电压与降低导通电阻无法兼得,限制了高压MOS的发展.超结结构^[2]的提出解决了这一矛盾.

超结MOS器件基于电荷平衡原理,利用交替排列的PN柱代替传统MOS器件的漂移区^[3].当超结MOS处于反偏时,PN柱相互耗尽形成横向电场.PN柱可以近似看作本征层,改变PN柱的掺杂浓度不会影响击穿电压,故可以通过适当增加掺杂浓度获得较低导通电阻值,适当增加PN柱的长度获得较高耐压值.

本次高压超结功率MOS器件的设计采用半超结结构,保留了超结的耐压高、导通电阻低的优点^[4],并且制造工艺更为简单,体二极管恢复特性更好.目前对高压领域($\geq 1500\text{ V}$)的超结VDMOS器件的文献报道相对较少,且相关文献的比导通电阻值往往很大.因此设计一款高耐压、低导通电阻的超结VDMOS器件对丰富高压领域具有重大意义.本文将讨论高压超结功率MOS器件的设计方法、工艺制造和电容特性等方面,并完成1500V高压超结功率MOS器件的优化设计与电容特性研究.

2 1500 V超结功率MOS器件优化

2.1 结构参数确定

本次设计采用半超结结构^[5],在超结MOS的基础上引入结构底部的N型外延区,即N型电压支持层(N type Bottom Assist Layer, N-BAL).图1是本次设计的半超结VDMOS元胞结构图.其结构自下而上依次为 N^+ 衬底、电压支持层(buff层)、交替的P柱和N柱、P-body区、 N^+ 源区、氧化层以及栅源极.

本次结构的设计需要满足超结MOS器件的耐压值 $>1500\text{ V}$,考虑到工艺仿真与器件设计值之间存在偏差,故本次设计器件的击穿电压 $>1650\text{ V}$,确定器件各结构参数值^[6],如表1所示.

器件的结构仿真如图2所示,器件的其他具体参数如下:衬底厚度 $L_{\text{npplus}}=15\ \mu\text{m}$,掺杂浓度为 $1\times 10^{20}\text{ cm}^{-3}$;P-body区的深度 $L_{\text{pwell}}=1.8\ \mu\text{m}$,宽度 $T_{\text{well}}=2\ \mu\text{m}$,P-body区的掺杂浓度 $N_{\text{p-body}}=7\times 10^{16}\text{ cm}^{-3}$;源区的 N^+ 和 P^+ 部分的深度 $L_{\text{pp}}=0.5\ \mu\text{m}$, N^+ 和 P^+ 的掺杂浓度 $=1\times 10^{20}\text{ cm}^{-3}$, N^+ 的宽度 T_{np} 为 $0.9\ \mu\text{m}$, P^+ 的宽度 $T_{\text{pp}}=0.4\ \mu\text{m}$;栅氧化层厚度 $=0.08\ \mu\text{m}$.

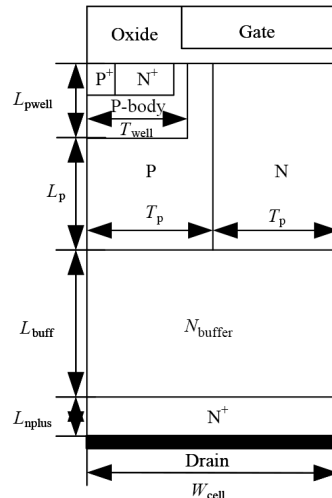


图1 超结VDMOS元胞结构设计图

表1 设计出的元胞结构参数值

参数	数值
W_{cell} (元胞大小)/ μm	6
T_{p} (P/N柱宽度)/ μm	3
L_{p} (超结厚度)/ μm	40
N_{bar} (超结掺杂浓度)/ cm^{-3}	2.2×10^{15}
L_{buff} (N-BAL厚度)/ μm	70
N_{buffer} (N-BAL掺杂浓度)/ cm^{-3}	1×10^{14}

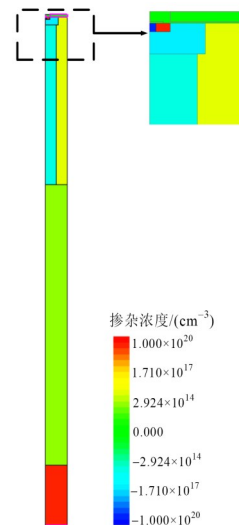


图2 超结VDMOS结构仿真示意图

2.2 静态参数优化

击穿电压和导通电阻是超结MOS器件中2个极为重要的参数.本节将通过仿真N柱的掺杂浓度 N_{nbar} 、P柱的掺杂浓度 N_{pbar} 、超结厚度 L_{p} 、电压支持层的厚度 L_{buff} 、电压支持层的浓度 N_{buffer} 这5个重要结构参数,研究它们对超结VDMOS器件的击穿电压BV和比导通电阻 $R_{\text{on,sp}}$ 的影响,并完成超结VDMOS的性能优化.基于结构分析,为了得到最优结果,采用Sentaurus TCAD仿

真软件对其进行仿真优化。

首先研究 N 柱的掺杂浓度 N_{nbar} 和 P 柱的掺杂浓度 N_{pbar} 对击穿电压 BV 和导通电阻 $R_{on,sp}$ 的影响。超结 MOS 基于电荷平衡原理,超结结构可极大程度提高超结的击穿电压。本次设计令 N 柱与 P 柱的宽度相同,则 N 柱与 P 柱有相同的掺杂浓度。设置器件 N 柱、P 柱的掺杂浓度步长为 $2 \times 10^{14} \text{ cm}^{-3}$,其掺杂浓度 $2 \times 10^{14} \sim 4 \times 10^{15} \text{ cm}^{-3}$,共分析 20 组数据并得到如图 3 曲线所示的 20 组掺杂浓度对应的击穿电压 BV 和比导通电阻值 $R_{on,sp}$ 。

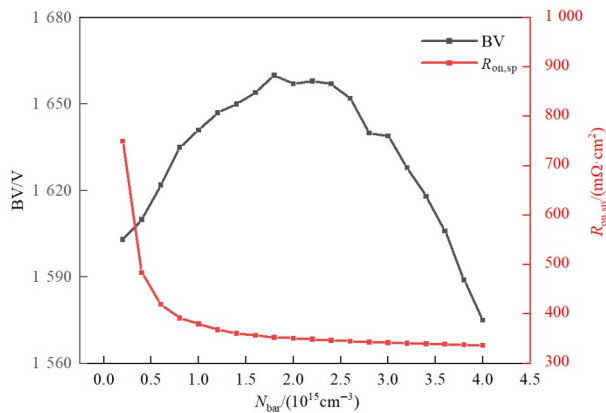


图3 超结掺杂浓度 N_{bar} 对器件击穿电压和比导通电阻的影响

由图 3 看出,随着 PN 柱掺杂浓度 N_{bar} 增加,超结 VDMOS 器件的击穿电压 BV 先增加随后逐渐减小,当 PN 柱掺杂浓度 N_{bar} 在 $1.8 \times 10^{15} \sim 2.4 \times 10^{15} \text{ cm}^{-3}$ 时,击穿电压 $BV > 1650 \text{ V}$,随着 PN 柱掺杂浓度 N_{bar} 增加,超结 VDMOS 器件的比导通电阻值 $R_{on,sp}$ 不断下降;PN 柱的掺杂浓度 N_{bar} 在 $2 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 时,比导通电阻 $R_{on,sp}$ 下降剧烈;PN 柱掺杂浓度 $N_{bar} < 1 \times 10^{15} \text{ cm}^{-3}$ 时,比导通电阻 $R_{on,sp}$ 下降极为缓慢。为满足选择的击穿电压 $BV > 1650 \text{ V}$,比导通电阻 $R_{on,sp}$ 越小越好的预期目标,选择 PN 柱的掺杂浓度 $N_{bar} = 2.2 \times 10^{15} \text{ cm}^{-3}$ 。同时进行了关态耐压下内部电场和碰撞电离率的仿真。其中图 4(a)是器件内部电场仿真结果,图 4(b)是器件内部的碰撞电离情况。

为方便比较不同面积 MOS 的电学特性,图像中使用直观的比导通电阻 $R_{on,sp}$ (specific on-resistance),物理意义为导通电阻与器件有效面积的乘积,仿真默认的纵向长度 $l = 1 \mu\text{m}$,元胞宽度 $W_{cell} = 6 \mu\text{m}$,器件的有效面积为长 \times 宽 $= 6 \mu\text{m}^2$,根据电压输出特性曲线,可以计算出导通电阻值,进而推算出比导通电阻值 $R_{on,sp}$ 。以图 5 电压输出特性曲线为例,计算在特定掺杂浓度下的比导通电阻值。

由图 5 的输出特性曲线可得当漏源电压 $V_{ds} = 1 \text{ V}$ 时,对应的输出电流 $I_{ds} = 0.0198 \text{ A}$,此时的导通电阻

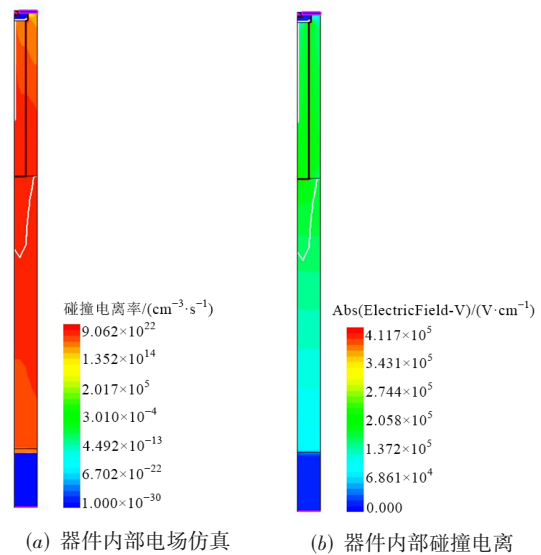


图4 关态耐压下的器件仿真

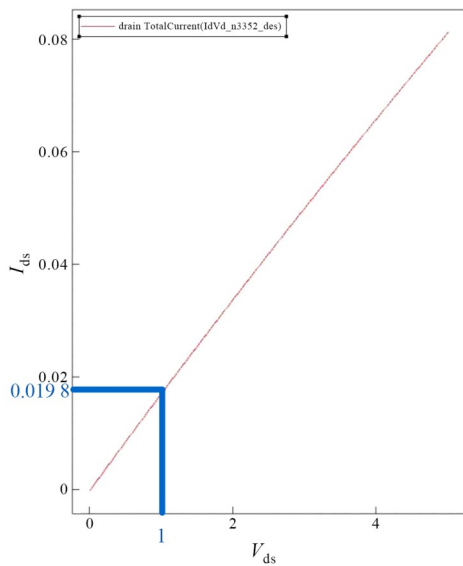


图5 电压输出特性曲线

$R_{on} = 50.5 \Omega$,计算比导通电阻 $R_{on,sp} = 303 \text{ m}\Omega \cdot \text{cm}^2$ 。

随即探究电压支持层掺杂浓度 N_{buffer} 对器件的击穿电压 BV 和比导通电阻 $R_{on,sp}$ 产生的影响。设置电压支持层厚度 $L_{buff} = 70 \mu\text{m}$,超结厚度 $L_p = 40 \mu\text{m}$,超结部分的掺杂浓度 $N_{bar} = 2.2 \times 10^{15} \text{ cm}^{-3}$ 。设置缓冲层的掺杂浓度 N_{buffer} 的步长 $= 2 \times 10^{13} \text{ cm}^{-3}$,在 $2 \times 10^{13} \sim 2 \times 10^{14} \text{ cm}^{-3}$ 共取 10 个电压支持层掺杂浓度 N_{buffer} 值进行仿真分析,得到结果如图 6 所示。

由图 6 曲线分析可知,当电压支持层掺杂浓度 N_{buffer} 在 $2 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 之间时,击穿电压 $BV > 1650 \text{ V}$;最初电压支持层掺杂浓度 N_{buffer} 的增大使器件的比导通电阻 $R_{on,sp}$ 迅速下降,而在电压支持层掺杂浓度 $N_{buffer} > 8 \times 10^{13} \text{ cm}^{-3}$ 时,下降缓慢。根据曲线确定电压支

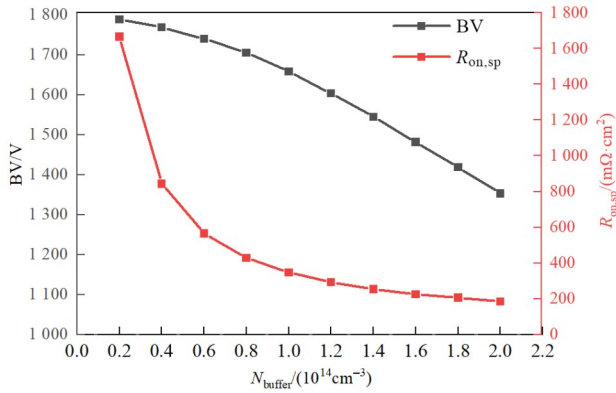


图6 电压支持层掺杂浓度 N_{buffer} 对器件击穿电压和比导通电阻的影响

持层掺杂浓度 $N_{\text{buffer}}=1 \times 10^{14} \text{ cm}^{-3}$. 图7为击穿特性曲线.

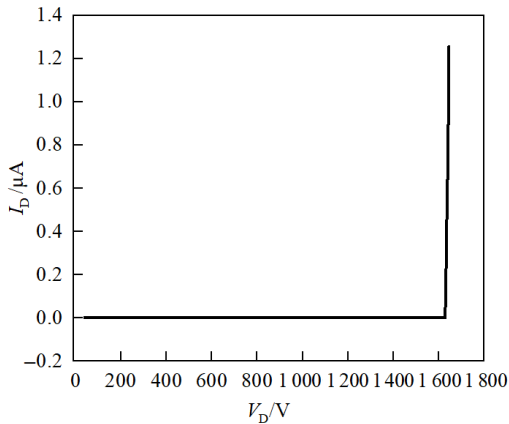
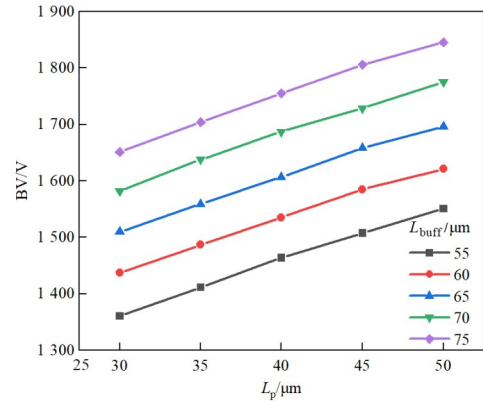


图7 击穿特性曲线

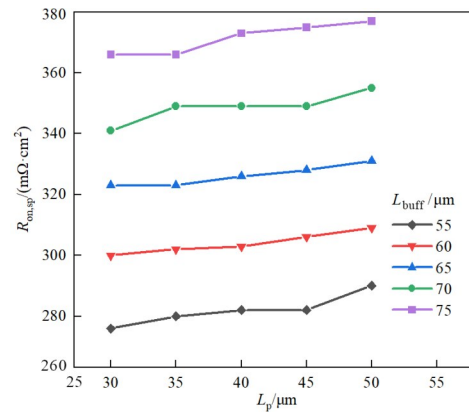
最后探究超结厚度 L_p 和电压支持层厚度 L_{buff} 对超结 VDMOS 器件的击穿电压 BV 和比导通电阻 $R_{\text{on,sp}}$ 的影响. 所以在讨论影响时,同时改变两者的数值进行仿真. 电压支持层厚度 L_{buff} 以 $5 \mu\text{m}$ 为步长,在 $55 \sim 75 \mu\text{m}$ 范围进行仿真;超结厚度 L_p 以 $5 \mu\text{m}$ 为步长,在 $30 \sim 50 \mu\text{m}$ 范围进行仿真. 超结厚度 L_p 、电压支持层厚度 L_{buff} 与击穿电压 BV 和比导通电阻 $R_{\text{on,sp}}$ 之间的关系如图8所示.

由图8分析出,击穿电压 BV、比导通电阻 $R_{\text{on,sp}}$ 均与2个厚度参数成正相关. 当超结厚度 $L_p=30 \mu\text{m}$, $L_{\text{buff}}=55 \mu\text{m}$ 时,击穿电压 BV 仅有 1361 V ;当超结厚度 $L_p=50 \mu\text{m}$, $L_{\text{buff}}=75 \mu\text{m}$ 时,击穿电压高达 1545 V . 考虑到器件的总体厚度过厚会影响芯片的面积及功耗,而厚度过薄无法满足目标要求的耐压值. 考虑到工艺仿真的偏差,确定器件的超结厚度 $L_p=40 \mu\text{m}$. 图8分析出 L_p 对 $R_{\text{on,sp}}$ 的影响不大,影响 $R_{\text{on,sp}}$ 的主要因素是 L_{buff} ,即 L_{buff} 越厚, $R_{\text{on,sp}}$ 越大. 确定器件的电压支持层厚度 $L_{\text{buff}}=70 \mu\text{m}$.

通过讨论不同结构参数,确定选择PN柱的掺杂浓



(a) 超结厚度 L_p 与电压支持层厚度 L_{buff} 对超结 VDMOS 的击穿电压 BV 的影响



(b) 超结厚度 L_p 与电压支持层厚度 L_{buff} 对超结 VDMOS 比导通电阻 $R_{\text{on,sp}}$ 的影响

图8 超结厚度 L_p 与电压支持层厚度 L_{buff} 对超结 VDMOS 的击穿电压 BV 和比导通电阻 $R_{\text{on,sp}}$ 的影响

度 $N_{\text{bar}}=2.2 \times 10^{15} \text{ cm}^{-3}$, 电压支持层浓度 $N_{\text{buffer}}=1 \times 10^{14} \text{ cm}^{-3}$,超结厚度 $L_p=40 \mu\text{m}$,电压支持层厚度 $L_{\text{buff}}=70 \mu\text{m}$,此时,超结部分与半超结部分共同承担耐压,得到高的击穿电压,同时,由于电压支持层的掺杂浓度很低,得到很小的比导通电阻. 最终得到器件的击穿电压 $BV=1598 \text{ V}$,比导通电阻 $R_{\text{on,sp}}=303 \text{ m}\Omega \cdot \text{cm}^2$.

3 1500 V 超结功率 MOS 器件工艺分析

本次设计选择多次外延工艺制造超结 MOS 器件^[7,8],在 Sentaurus TCAD 仿真软件上模拟具体的工艺流程,主要工艺流程如图9所示,不同结构掺杂剂量与能量如表2所示.

在工艺流程中,首先生长的是电压支持层部分,厚度 $=70 \mu\text{m}$,掺杂浓度 $=1 \times 10^{14} \text{ cm}^{-3}$. 其次是超结部分的生长,厚度 $=40 \mu\text{m}$,掺杂浓度 $=2.2 \times 10^{15} \text{ cm}^{-3}$. 超结部分分为14次外延生长. 最后一次外延层用于平面 MOSFET 加工制造. 在每次得到的外延层上进行磷、硼离子注入^[9].

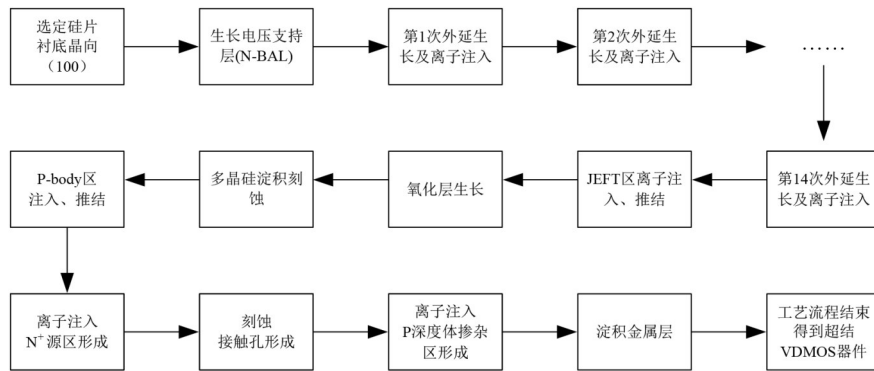


图9 超结 MOS 器件工艺流程

表 2 不同结构的掺杂剂量与能量

结构	掺杂剂量/(10^{12} cm^{-2})	注入能量/keV
P柱	2.2	150
N柱	0.7	150
JFET区	2.5	80
P-body区	55	80
N ⁺ 区	500	60
P ⁺ 区	50	80

为得到掺杂浓度= $2.2 \times 10^{15} \text{ cm}^{-3}$ 的PN柱,需要经过仿真,确定PN柱的掺杂剂量^[10]. 图10是确定N柱掺杂剂量为 $0.7 \times 10^{12} \text{ cm}^{-2}$ 时的P柱掺杂剂量仿真示意图.

最终确定磷离子掺杂剂量= $0.7 \times 10^{12} \text{ cm}^{-2}$, 能量=150 keV; 硼离子的掺杂剂量= $2.2 \times 10^{12} \text{ cm}^{-2}$, 能量=150 keV. 外延生长结束后,统一高温退火,离子进行扩散最终得到超结部分,得到工艺仿真击穿电压值为1 598 V的超结 MOS 器件.

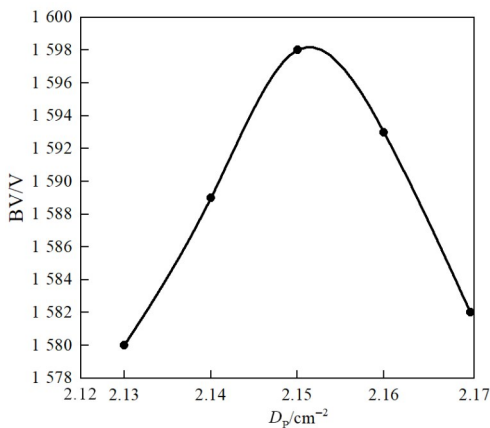


图10 P柱掺杂剂量仿真图

4 1 500 V 超结功率 MOS 器件动态特性研究

超结 MOS 器件结构中主要存在的寄生电容有栅漏电容 C_{GD} 、漏源电容 C_{DS} 和栅源电容 C_{GS} . 寄生电容的存在会影响器件在开关过程中的工作损耗,由于栅源电

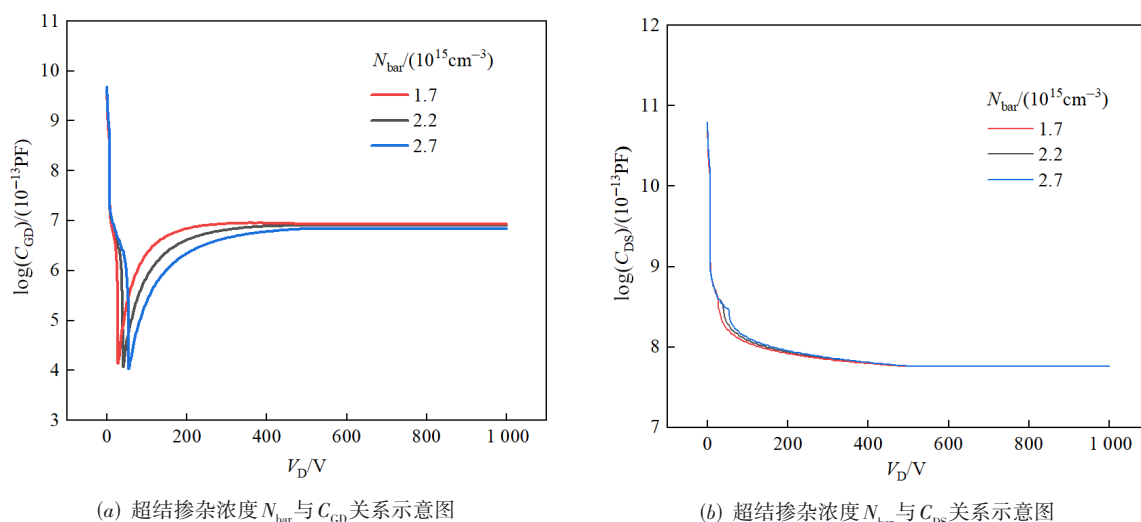
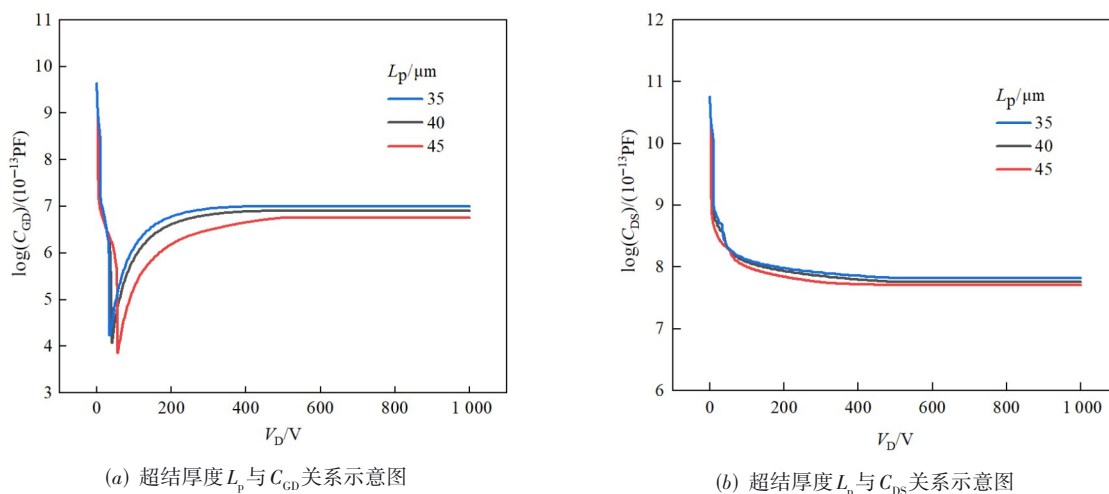
容 C_{GS} 所受影响因素甚多,本次设计主要讨论4个结构参数:超结厚度 L_p 、超结掺杂浓度 N_{bar} 、电压支持层厚度 L_{buff} 以及电压支持层掺杂浓度 N_{buffer} 对于器件的栅漏电容 C_{GD} 、漏源电容 C_{DS} 的影响,利用Sentaurus TCAD 软件仿真VDMOS器件的C-V特性曲线分析变化规律^[11].

4.1 超结部分

首先讨论超结掺杂浓度 N_{bar} 对寄生电容 C_{DS} 、 C_{GD} 的影响^[3,12], 选择超结掺杂浓度 N_{bar} 的步长= $4 \times 10^{14} \text{ cm}^{-3}$, 掺杂浓度 N_{bar} 在 $1.7 \times 10^{15} \sim 2.7 \times 10^{15} \text{ cm}^{-3}$. 图11是超结掺杂浓度 N_{bar} 对栅漏电容 C_{GD} 、漏源电容 C_{DS} 产生影响的电容仿真特性曲线. 由图11(a)超结掺杂浓度 N_{bar} 对栅漏电容 C_{GD} 的影响曲线可以看出,在最初低电压时, C_{GD} 几乎不随 N_{bar} 变化,漏电压逐渐升高,同时随着超结掺杂浓度 N_{bar} 增加,栅漏电容 C_{GD} 曲线右移,最终电容也几乎相等. 由于随着超结掺杂浓度 N_{bar} 增加,要耗尽超结部分则需要更高的漏电压,因而 C_{GD} 达到谷值对应的电压随掺杂浓度增大呈上升趋势. 由图11(b)超结掺杂浓度 N_{bar} 对漏源电容 C_{DS} 的影响曲线可以看出,在低电压时, C_{DS} 几乎不随 N_{bar} 变化,随着漏电压增加,在电容拐点,掺杂浓度 N_{bar} 越大,漏源电容 C_{DS} 越大. 在电压很大时,电容几乎相等.

在讨论完超结掺杂浓度 N_{bar} 后,继续讨论超结厚度 L_p 对寄生电容的影响. 选择超结厚度 L_p 的步长= $5 \mu\text{m}$, 厚度 $L_p=35 \sim 45 \mu\text{m}$, 图12是超结厚度 L_p 分别对栅漏电容 C_{GD} 、漏源电容 C_{DS} 的电容仿真特性曲线.

由图12(a)超结厚度 L_p 对栅漏电容 C_{GD} 的影响曲线可以看出,在最初低电压时, C_{GD} 几乎不随 L_p 变化,漏电压逐渐升高,随着超结厚度 L_p 增加,曲线右移. 相同漏电压下,超结厚度 L_p 越大,对应耗尽层电容降低,使得栅漏电容 C_{GD} 越小;与掺杂浓度类似,更大 L_p 所对应的完全耗尽时漏极电压更大,呈现谷值电压随 L_p 增大而提高的现象. 由图12(b)超结厚度 L_p 对漏源电容 C_{DS} 的影响曲线可以看出,在低电压时,电容近似相等,随着漏电压增加,在电容拐点,超结厚度 L_p 越大,漏源电容 C_{DS} 越小. 在电压很大时,电容几乎不随 L_p 变化. 改

图 11 超结掺杂浓度 N_{bar} 对栅漏电容 C_{GD} 和漏源电容 C_{DS} 的影响图 12 超结厚度 L_p 对栅漏电容 C_{GD} 和漏源电容 C_{DS} 的影响

变超结部分厚度 L_p , 相当于改变等效平板电容极板之间的间距. 故增大超结厚度 L_p , 会减小电容.

4.2 电压支持层部分

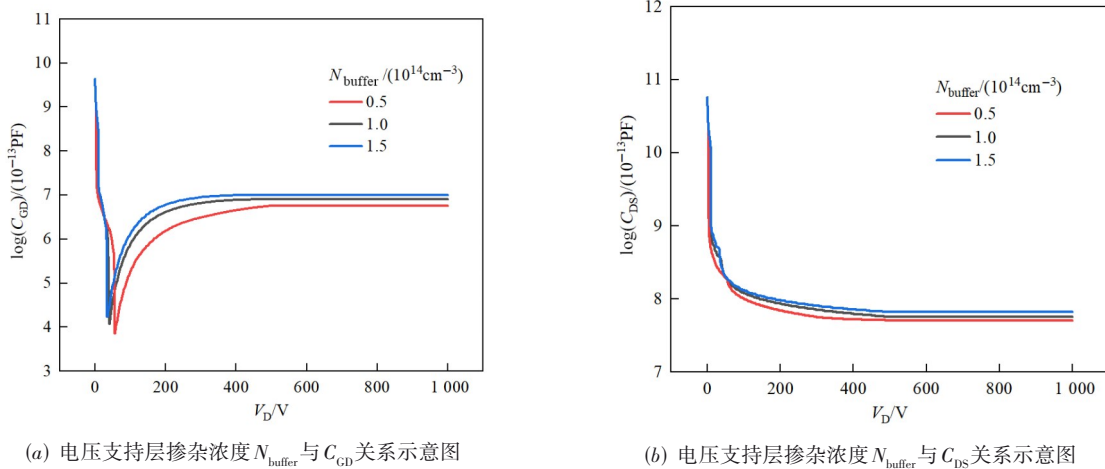
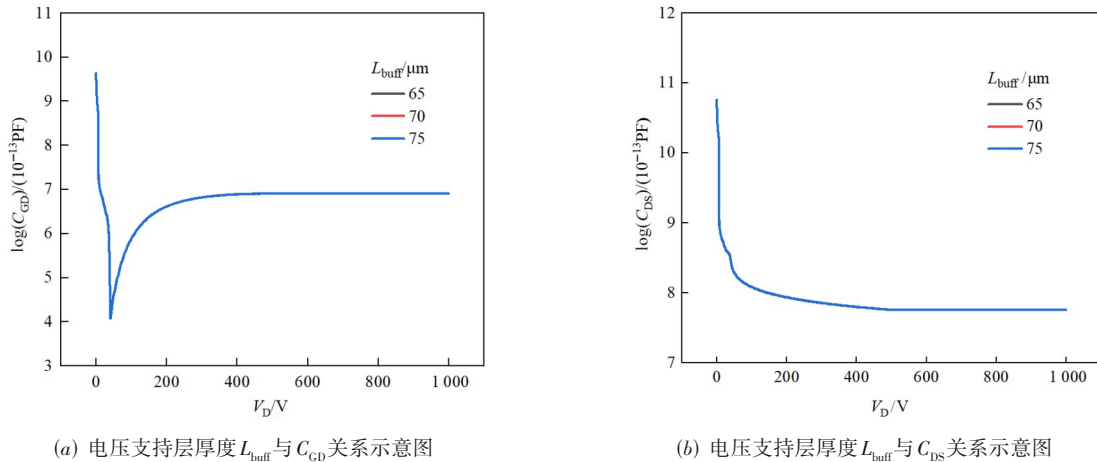
接下来讨论电压支持层掺杂浓度 N_{buffer} 对栅漏电容 C_{GD} 、漏源电容 C_{DS} 的影响. 选择电压支持层掺杂浓度 N_{buffer} 的步长 $=5 \times 10^{13} \text{ cm}^{-3}$, 掺杂浓度 $N_{\text{buffer}} = 0.5 \times 10^{14} \sim 1.5 \times 10^{14} \text{ cm}^{-3}$, 图 13 是电压支持层掺杂浓度 N_{buffer} 对栅漏电容 C_{GD} 、漏源电容 C_{DS} 的电容仿真特性曲线.

由图 13(a) 电压支持层掺杂浓度 N_{buffer} 对栅漏电容 C_{GD} 的影响曲线可以看出, 在最初低电压时 C_{GD} 不随 N_{buffer} 变化, 漏电压逐渐升高, 电压支持层掺杂浓度 N_{buffer} 增加, 曲线左移, C_{GD} 增大. N_{buffer} 的掺杂浓度上升减小了耗尽区的宽度, 电容增大. 由图 13(b) 电压支持层掺杂浓度 N_{buffer} 对漏源电容 C_{DS} 的影响曲线可以看

出, 在低电压时, C_{DS} 不随 N_{buffer} 变化, 随着漏电压增加, 掺杂浓度 N_{buffer} 越大, 漏源电容 C_{DS} 越大. 说明改变电压支持层掺杂浓度 N_{buffer} 对超结结构的耗尽分布产生影响, 进而影响栅漏电容 C_{GD} 与漏源电容 C_{DS} .

继续讨论电压支持层厚度 L_{buff} 对寄生电容的影响. 选择电压支持层厚度 L_{buff} 的步长 $=5 \mu\text{m}$, 厚度 L_{buff} 为 $65 \sim 75 \mu\text{m}$, 图 14 是电压支持层厚度 L_{buff} 对栅漏电容 C_{GD} 、漏源电容 C_{DS} 的电容仿真特性曲线.

由图 14 电压支持层掺杂厚度 L_{buff} 对栅源电容 C_{GD} 与漏源电容 C_{DS} 的影响曲线可以看出, 与超结部分相比电压支持层部分掺杂浓度很低, 由于器件的耐压主要由超结部分承担, buff 区厚度的变化对器件整体的耗尽分布无明显影响, 因此电压支持层厚度 L_{buff} 的改变对于寄生电容的影响不大, 寄生电容几乎相等.

图 13 电压支持层掺杂浓度 N_{buffer} 对栅漏电容 C_{CD} 和漏源电容 C_{DS} 的影响图 14 电压支持层厚度 L_{buff} 对栅漏电容 C_{CD} 和漏源电容 C_{DS} 的影响

5 结论

本文利用 Sentaurus TCAD 仿真软件设计高压超结 MOS 器件的元胞结构,并以此为基础模拟工艺流程,完成超结 MOS 结构参数与工艺参数的优化仿真,给出了优化后的掺杂浓度及厚度数值. 本文设计了一款结构仿真击穿电压值 1 658 V、工艺仿真击穿电压值为 1 598 V、比导通电阻值为 $303 \text{ m}\Omega \cdot \text{cm}^2$ 的高压超结器件,对高压领域的超结 MOS 设计具有一定借鉴的作用. 最后对超结 VDMOS 器件的寄生电容特性进行研究,探究 4 个主要结构参数对寄生电容产生的影响,并探讨寄生电容的变化趋势.

参考文献

- [1] HU C M. Optimum doping profile for minimum ohmic resistance and high-breakdown voltage[J]. IEEE Transactions on Electron Devices, 1979, 26(3): 243-244.
- [2] CHEN X B. Semiconductor power devices with alternating conductivity type high-voltage breakdown regions: US5216275[P]. 1993-06-01.
- [3] KANG H, FINDLAY E M, UDREA F. Mechanisms of asymmetrical turn-on and turn-off and the origin of dynamic CGD hysteresis for hard-switching superjunction MOSFETs[J]. IEEE Transactions on Electron Devices, 2020, 67(6): 2478-2481.
- [4] 齐晓楠, 吴团庄, 许超奇, 等. 超低导通电阻沟槽栅 LD-MOS 器件研究[J]. 电子学报, 2023, 51(8): 1995-2002.
LIN X N, WU T Z, XU C Q, et al. Research on ultra-low on-resistance trench gate LD MOS device[J]. Acta Electronica Sinica, 2023, 51(8): 1995-2002. (in Chinese)
- [5] SAITO W, OMURA I, AIDA S, et al. Semisuperjunction MOSFETs: New design concept for lower on resistance and softer reverse-recovery body diode[J]. IEEE Transac-

tions on Electron Devices, 2003, 50(8): 1801-1806.

- [6] KONDEKAR P N, PARIKH C D, PATIL M B. Analysis of breakdown voltage and on resistance of super junction power MOSFET CoolMOS/sup TM/using theory of novel voltage sustaining layer[C]//2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Piscataway: IEEE, 2002: 1769-1775.
- [7] DEBOY G, MARZ N, STENGL J P, et al. A new generation of high voltage MOSFETs breaks the limit line of silicon[C]//International Electron Devices Meeting 1998. Technical Digest. Piscataway: IEEE, 1998: 683-685.
- [8] BUZZO M, RUB M, CIAPPA M, et al. Characterization of 2D dopant profiles for the design of proton implanted high-voltage super junction[C]//12th International Symposium on the Physical and Failure Analysis of Integrated Circuits. Piscataway: IEEE, 2005: 285-289.
- [9] KANG H, DONATO N, UDREA F. Effect of pillar ripple on static and dynamic trade-offs in superjunction MOSFETs[J]. IEEE Electron Device Letters, 2020, 41(5): 753-756.
- [10] AKSHAY K, KARMALKAR S. Quick design of a super-junction considering charge imbalance due to process variations[J]. IEEE Transactions on Electron Devices, 2020, 67(8): 3024-3029.
- [11] VILLAMOR A, CORTÉS I, FLORES D, et al. Capacitive behaviour in super junction trench MOSFET devices [C]//Proceedings of the 8th Spanish Conference on Electron Devices. Piscataway: IEEE, 2011: 1-4.
- [12] WANG R D, WANG Y B, QIAO M, et al. Interaction mechanism between C_{GD} and C_{DS} based on space competition and optimization method of dynamic characteristic for 600V super-junction VDMOS[C]//2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2022: 133-136.

作者简介



种一宁 女, 2000年12月出生, 河北辛集人. 电子科技大学集成电路科学与工程学院本科生. 主要研究方向为功率半导体器件和微机械系统.

E-mail: cyn20001202@163.com



李珺 女, 1997年10月出生, 甘肃定西人. 电子科技大学集成电路科学与工程学院研究生. 主要研究方向为功率器件.

E-mail: 957799800@qq.com



乔明 男, 1981年3月出生, 辽宁葫芦岛人. 电子科技大学教授、博士生导师. 主要研究方向为功率半导体器件、BCD集成技术、高压功率集成电路、功率器件可靠性、抗辐射功率器件及高压集成技术、高压ESD防护技术、功率器件建模. 中国电子学会会员编号: E190013004S.

E-mail: qiaoming@uestc.edu.cn